



#3/8/1/01
Date

500.40010X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): K. OHNISHI, ET AL
Serial No.: 09 / 829,969
Filed: APRIL 11, 2001
Title: "SEMICONDUCTOR DEVICE AND PROCESS FOR PRODUCING
THE SAME"

LETTER CLAIMING RIGHT OF PRIORITY

Assistant Commissioner for
Patents
Washington, D.C. 20231

MAY 23, 2001

Sir:

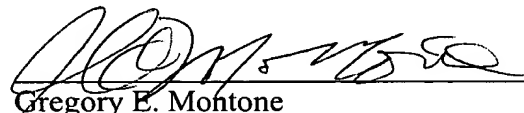
Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s)
the right of priority based on:

Japanese Patent Application No. 2000 - 118491
Filed: APRIL 14, 2000

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Registration No. 28,141

GEM/rp
Attachment



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 4月14日

出 願 番 号

Application Number:

特願2000-118491

出 願 人

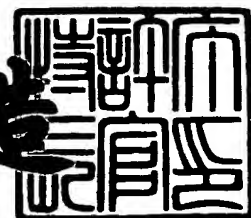
Applicant(s):

株式会社日立製作所

2001年 4月20日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3032946

【書類名】 特許願

【整理番号】 H99019251A

【提出日】 平成12年 4月14日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/105

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地
株式会社日立製作所中央研究所内

 【氏名】 大西 和博

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地
株式会社日立製作所中央研究所内

 【氏名】 山本 直樹

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【代理人】

 【識別番号】 100075096

 【弁理士】

 【氏名又は名称】 作田 康夫

 【電話番号】 03-3212-1111

【手数料の表示】

 【予納台帳番号】 013088

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】

MOS トランジスタを有する半導体装置において、
上記 MOS トランジスタのゲート電極が、下からシリコン膜、金属珪化膜、金属窒化膜及び金属膜の積層膜からなることを特徴とする半導体装置。

【請求項 2】

前記シリコン膜中に、任意の導電型の不純物が注入されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記金属珪化膜の膜厚が、5 ～ 2 0 n m であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記金属珪化膜がタングステンシリサイドであり、前記金属窒化膜が窒化タングステンであり、前記金属膜がタングステンであることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

ゲート電極がシリコン膜と該シリコン膜の上方に積層された金属膜とから構成された MOS トランジスタを有する半導体装置において、

上記シリコン膜と上記金属膜の間の、上記シリコン膜側に金属珪化膜を備え、
上記金属膜側に金属窒化膜を備えたことを特徴とする半導体装置。

【請求項 6】

前記シリコン膜中に、任意の導電型の不純物が注入されていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記金属珪化膜の膜厚が、5 ～ 2 0 n m であることを特徴とする請求項 5 に記載の半導体装置。

【請求項 8】

前記金属珪化膜がタングステンシリサイドであり、前記金属窒化膜が窒化タングステンであり、前記金属膜がタングステンであることを特徴とする請求項 5 に記載の半導体装置。

【請求項 9】

半導体基板表面に第 1 の絶縁膜を形成する第 1 工程と、
上記第 1 の絶縁膜上にシリコン膜を堆積する第 2 工程と、
上記シリコン膜上に第 1 の金属膜を堆積する第 3 工程と、
上記第 1 の金属膜上に金属窒化膜を堆積する第 4 工程と、
上記金属窒素化膜上に第 2 の金属膜を堆積する第 5 工程と、
上記シリコン膜、上記第 1 の金属膜、上記金属窒化膜及び上記第 2 の金属膜からなる積層膜をゲート電極形状に加工する第 6 工程と、
上記ゲート電極をマスクとして上記半導体基板表面に不純物をイオン打ち込みする第 7 工程と、
熱処理により、上記第 1 の金属膜を上記シリコン膜と反応させて、金属珪化膜とする第 8 工程とを有することを特徴とする半導体装置の製造方法。

【請求項 10】

前記第 8 の工程において、650℃以上の熱処理を施すことを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

前記第 8 工程において、前記第 7 工程でイオン打ち込みされた不純物が活性化されることを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 12】

前記金属珪化膜がタングステンシリサイドであり、前記金属窒化膜が窒化タングステンであり、前記第 1 及び第 2 の金属膜がタングステンであることを特徴とする請求項 9 に記載の半導体装置。

【請求項 13】

半導体基板表面に第 1 の絶縁膜を形成する第 1 工程と、
上記第 1 の絶縁膜上にシリコン膜を堆積する第 2 工程と、

上記シリコン膜上に第 1 の金属膜を堆積する第 3 工程と、
上記第 1 の金属膜上に金属窒化膜を堆積する第 4 工程と、
上記金属窒素化膜上に第 2 の金属膜を堆積する第 5 工程と、
熱処理により、上記第 1 の金属膜を上記シリコン膜と反応させて、金属珪化膜とする第 6 工程と、

上記シリコン膜，上記金属珪化膜，上記金属窒化膜及び上記第 2 の金属膜からなる積層膜をゲート電極形状に加工する第 7 工程と、

上記ゲート電極をマスクとして上記半導体基板表面に不純物をイオン打ち込みする第 8 工程とを有することを特徴とする半導体装置の製造方法。

【請求項 1 4】

前記第 6 の工程において、650℃以上の熱処理を施すことを特徴とする請求項 1 3 に記載の半導体装置の製造方法。

【請求項 1 5】

前記金属珪化膜がタングステンシリサイドであり、前記金属窒化膜が窒化タングステンであり、前記第 1 及び第 2 の金属膜がタングステンであることを特徴とする請求項 1 3 に記載の半導体装置。

【請求項 1 6】

半導体基板表面に第 1 の絶縁膜を形成する工程と、
上記第 1 の絶縁膜上にシリコン膜を堆積する工程と、
上記シリコン膜上に金属珪化膜を堆積する工程と、
上記第 1 の金属膜上に金属窒化膜を堆積する工程と、
上記金属窒素化膜上に金属膜を堆積する工程と、
上記シリコン膜，上記金属珪化膜，上記金属窒化膜及び上記金属膜からなる積層膜をゲート電極形状に加工する工程と、

上記ゲート電極をマスクとして上記半導体基板表面に不純物をイオン打ち込みする工程とを有することを特徴とする半導体装置の製造方法。

【請求項 1 7】

前記金属珪化膜がタングステンシリサイドであり、前記金属窒化膜が窒化タングステンであり、前記金属膜がタングステンであることを特徴とする請求項 1 6

に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に係わり、特に、MIS型トランジスタを有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

近年、デバイスの高性能化および高集積化を目的として、デバイスの微細化が進んでいる。微細化の進行に伴い、電極材料に低抵抗材料を導入する必要性が生じており、従って、MOSトランジスタのゲート電極にも金属を導入することが望ましい。

【0003】

一方、高速CMOSデバイスにおいて高性能化および高集積化を同時に達成するためには、しきい値電圧が低くかつゲート抵抗が小さいだけでは不十分であり、ゲート／コンタクト間のレイアウトピッチを縮小することが要求される。これらの要求を解決する技術として従来用いられているのは、ゲートの多結晶シリコンとソース／ドレイン領域を自己整合的にシリサイド化するサリサイド技術や、多結晶シリコンとシリサイドの積層構造をゲートに用いるポリサイド構造を用いた技術、あるいは多結晶シリコンと高融点金属の積層構造をゲート電極として用いる技術などがある。

【0004】

しかし、サリサイド技術は自己整合コンタクト技術と併用することが困難なため、レイアウトピッチを縮小することが難しい。また、ポリサイド構造では、シート抵抗が高くなるために十分低抵抗なゲート抵抗を得ることが難しいという問題点がある。このため、前記要求を満たすゲート電極の構造としては、金属と多結晶シリコンの積層構造が望ましい。

【0005】

ところが、この構造は熱による安定性が低く、たとえば金属として高融点金属

であるタングステンをを用いた場合でも、650℃程度の熱工程を経る間に金属とシリコンが反応し、抵抗の上昇や膜の表面形状の悪化、さらにはゲート絶縁膜破壊などの問題が生じる。このような問題を解決するために、金属と多結晶シリコンの間に反応防止膜となる金属窒化物を挟む構造（金属／反応防止膜／多結晶シリコン積層構造）が提案されている（例えば‘98 IEDM テクニカルダイジェスト p.397-p.400に記載。）。

【0006】

【発明が解決しようとする課題】

前述のように、反応防止膜に窒化タングステンをを用いた場合には、

(1) 窒化タングステン／多結晶シリコン間の接触抵抗が、 $\sim 2 \times 10^{-5} \Omega \cdot \text{cm}^2$ と非常に高いこと

(2) 高接触抵抗が原因でデバイスの回路性能が向上しないこと
などの問題点がある。

【0007】

本発明の目的は、金属／反応防止膜／多結晶シリコン積層構造の反応防止膜－多結晶シリコン間接触抵抗を低減した半導体装置及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】

反応防止膜－多結晶シリコン間の接触抵抗を低減するために、金属／反応防止膜／金属窒化物／多結晶シリコンの積層構造をゲート電極として適用する。

【0009】

【発明の実施の形態】

以下、本発明の実施の形態の例を図面を用いて説明する。

【0010】

図1(a)～(e)は、本発明の第1の実施例に係わるゲート電極の形成方法を示す工程断面図である。

【0011】

まず、半導体基板101の表面上に熱酸化法等によりゲート絶縁膜102を形

成し、続いて、多結晶シリコン膜 1 0 3 を C V D 法等により堆積する（図 1（a））。

【 0 0 1 2 】

この多結晶シリコン 1 0 3 中に任意の導電型の不純物（例えば、リンやボロン）をイオン打ち込み法にて注入し、9 5 0 ～ 1 0 0 0 ℃の活性化アニールを行った後に、スパッタ法等により金属 1 0 4（例えば、タングステン）を 5 n m 程度堆積する。このとき、多結晶シリコン膜 1 0 3 の表面に残る自然酸化膜等を除去するため、フッ酸等による前洗浄を行う。続いて、反応防止膜としての金属窒化物 1 0 5（例えば、窒化タングステン）および金属 1 0 6（例えば、タングステン）を、それぞれ膜厚 5 n m ～ 1 0 n m 程度および 5 0 n m 程度スパッタ法等により堆積する（図 1（b））。

【 0 0 1 3 】

なお、これらの金属 1 0 4，1 0 6 あるいは金属窒化物 1 0 5 の堆積は、大気中にさらさないよう連続して行うことが望ましい。さらに、金属 1 0 6 上にシリコン酸化膜 1 0 7 をプラズマ C V D 法等により堆積する（図 1（c））。

【 0 0 1 4 】

これら堆積された膜を、レジストを用いたリソグラフィ工程および異方性ドライエッチング技術等を用いて、ゲート電極として加工する（図 1（d））。

【 0 0 1 5 】

この後、CMOS デバイスを形成する過程で加えられる 6 5 0 ℃以上の熱工程によって、金属 1 0 4 と多結晶シリコン 1 0 3 が反応して、金属珪化物 1 0 8（例えば、タングステンシリサイド）が、堆積した金属 1 0 4 の膜厚の 2 倍程度の膜厚だけ形成される（図 1（e））。

【 0 0 1 6 】

このようにして形成したゲート電極は、金属珪化物 1 0 8 と多結晶シリコン 1 0 3 の間に、理想的な金属－半導体接触が形成されるため、従来の金属珪化物を挟まない構造に比べて、1 0 分の 1 ～ 4 0 分の 1 程度小さい接触抵抗を得ることができる。

【0017】

図2 (a) ~ (d) は、本発明の第2の実施例に係わるゲート電極の形成方法を示す工程断面図である。

【0018】

図2 (a), (b) の形成工程は、第1の実施例と同一工程である。本実施例では、シリコン基板101上に、ゲート絶縁膜102, 多結晶シリコン103, 金属104 (例えば、タングステン), 金属窒化物105 (例えば、窒化タングステン) および金属106 (例えば、タングステン) を堆積した段階で (図2 (b)), 650℃以上の熱工程を加えることにより、金属104と多結晶シリコン103が反応して、金属珪化物108 (例えばタングステンシリサイド) が、堆積した金属104の膜厚の2倍程度の膜厚だけ形成される (図2 (c))。

【0019】

その後、これらの積層された膜を、レジストを用いたリソグラフィ工程および異方性ドライエッチング技術等を用いて、加工してゲート電極を形成する (図2 (d))。

【0020】

このようにして形成したゲート電極は、金属珪化物108と多結晶シリコン103の間に、理想的な金属-半導体接触が形成されるため、従来の金属珪化物を挟まない構造に比べて、10分の1~40分の1程度小さい接触抵抗を得ることができる。

【0021】

図3 (a) ~ (d) は、本発明の第3の実施例に係わるゲート電極の形成方法を示す工程断面図である。

【0022】

まず、半導体基板101の表面上に熱酸化法等によりゲート絶縁膜102を形成し、続いて、多結晶シリコン膜103をCVD法等により堆積する (図3 (a))。

【0023】

この多結晶シリコン103中に任意の導電型の不純物 (例えば、リンやボロン

）をイオン打ち込み法にて注入し、950～1000℃の活性化アニールを行った後に、スパッタ法もしくはCVD法等により金属珪化物109（例えば、タングステンシリサイド）を5～20nm程度堆積する。このとき、多結晶シリコン膜103の表面に残る自然酸化膜等を除去するため、フッ酸等による前洗浄を行う。続いて、反応防止膜としての金属窒化物105（例えば、窒化タングステン）および金属106（例えばタングステン）を、それぞれ膜厚5～10nm程度および50nm程度スパッタ法等により堆積する（図3（b））。

【0024】

なお、これらの金属珪化物109、金属106あるいは金属窒化物105の堆積は、大気中にさらさないよう連続して行うことが望ましい。さらに、金属106上にシリコン酸化膜107をプラズマCVD法等により堆積する（図3（c））。

【0025】

これら堆積された膜を、レジストを用いたリソグラフィ工程および異方性ドライエッチング技術等を用いて、ゲート電極として加工する（図3（d））。

【0026】

このようにして形成したゲート電極は、金属珪化物109と多結晶シリコン103の間に、理想的な金属－半導体接触が形成されるため、従来の、金属珪化物を挟まない構造に比べて、10分の1～40分の1程度小さい接触抵抗を得ることができる。

【0027】

図4（a）～（c）及び図5（a）～（c）は、本発明の第4の実施例に係わるCMOSトランジスタの形成方法を示す工程断面図である。

【0028】

シリコン基板301の表面を熱酸化法等を用いて10nm程度酸化して得られた酸化膜302上に、熱CVD法等を用いてシリコン窒化膜303を150nm程度堆積する。次に、ホトリソグラフィ工程およびドライエッチング工程により、深さ0.3μm程度の溝をシリコン基板301の素子間分離領域となる部分に形成後、溝の内側表面を10nm程度熱酸化する（図4（a））。

【 0 0 2 9 】

次に、上記溝内が埋め込まれるようにCVD法等によりシリコン酸化膜304を堆積した後、シリコン窒化膜305を熱CVD法等により堆積する。そのシリコン窒化膜305をホトリソグラフィ工程およびドライエッチング工程により、図4(b)に示すごとくデバイス活性領域の表面のシリコン窒化膜のみ除去した後、CMP法(Chemical Mechanical Polishing)により平坦化を行う。このとき、シリコン窒化膜303、305の研磨レートが、シリコン酸化膜304の研磨レートに比べて遅いため、シリコン窒化膜303、305のところで研磨を止めることができる。その後、シリコン窒化膜303および305とシリコン酸化膜302を、ウェット洗浄技術で除去する(図4(c))。

【 0 0 3 0 】

次に、半導体基板301の表面上に熱酸化法等によりゲート絶縁膜310を形成し、続いて、多結晶シリコン膜をCVD法等により堆積する。この多結晶シリコン中にn型の不純物(例えば、リン)およびp型の不純物(例えば、ボロン)をイオン打ち込み法にて注入する。これにより、NMOSのゲート電極としてn型の多結晶シリコン311と、PMOSのゲート電極としてp型の多結晶シリコン312が形成される。

【 0 0 3 1 】

次に、950℃の活性化アニールを行った後に、スパッタ法等により金属309(例えば、タングステン)を5nm程度堆積する。このとき、多結晶シリコン膜311、312の表面に残る自然酸化膜等を除去するため、フッ酸等により前洗浄を行う。続いて、反応防止膜としての金属窒化物308(例えば、窒化タングステン)および金属307(例えば、タングステン)を、それぞれ膜厚5~10nm程度および50nm程度スパッタ法等により堆積する。なお、これらの金属309、307あるいは金属窒化物308の堆積は、大気中にさらさないよう連続して行うことが望ましい。さらに、金属307上にシリコン酸化膜306をプラズマCVD法等により堆積する。

【 0 0 3 2 】

これら堆積された膜を、レジストを用いたリソグラフィ工程および異方性ドラ

イエッチング技術等を用いて、ゲート電極として加工する。

【0033】

次に、ホトリソグラフィ工程およびイオン打ち込み法により、NMOSの拡散層領域314およびパンチスルーストップ領域315、PMOSの拡散層領域316およびパンチスルーストップ領域317を形成する（図5（a））。

【0034】

さらに、プラズマCVD法等を用いてシリコン酸化膜を堆積した後、堆積した膜厚分、等方性ドライエッチングにより除去することにより、ゲート電極の側面にシリコン酸化膜からなるサイドウォール313を形成する。その後、ホトリソグラフィ工程とイオン打ち込み技術により、NMOSおよびPMOSの深い拡散層領域318、319を形成する（図5（b））。

【0035】

この後、トランジスタの活性化アニール（例えば、950℃、10秒のRTA（Rapid Thermal Annealing））によって、金属309と多結晶シリコン311、312が反応して、金属珪化物320（例えば、タングステンシリサイド）が、堆積した金属309の膜厚の2倍程度の膜厚だけ形成される（図5（c））。

【0036】

このようにして形成したゲート電極は、金属珪化物320と多結晶シリコン310、312の間に、理想的な金属-半導体接触が形成されるため、従来の金属珪化物を挟まない構造に比べて、10分の1～40分の1程度小さい接触抵抗を得ることができる。また、これらの効果により、デバイスの回路性能（無負荷のCMOSデバイスの伝播遅延時間）は、約28psから約12psへと向上する（ゲート長0.10μm世代のCMOSデバイス）。

【0037】

図6（a）～（c）及び図7（a）～（c）は、本発明の第5の実施例に係わるCMOSトランジスタの形成方法を示す工程断面図である。

【0038】

シリコン基板301の表面を熱酸化法等を用いて10nm程度酸化して得られた酸化膜302上に、熱CVD法等を用いてシリコン窒化膜303を150nm

程度堆積する。次に、ホトリソグラフィ工程およびドライエッチング工程により、深さ $0.3 \mu\text{m}$ 程度の溝をシリコン基板 3 0 1 の素子間分離領域となる部分に形成後、溝の内側表面を 10 nm 程度熱酸化する（図 6（a））。

【0039】

次に、上記溝内が埋め込まれるように CVD 法等によりシリコン酸化膜 3 0 4 を堆積した後、シリコン窒化膜 3 0 5 を熱 CVD 法等により堆積する。そのシリコン窒化膜 3 0 5 をホトリソグラフィ工程およびドライエッチング工程により、図 6（b）に示すごとくデバイス活性領域の表面のシリコン窒化膜のみ除去した後、CMP 法（Chemikal Mechanical Polishing）により平坦化を行う。このとき、シリコン窒化膜 3 0 3、3 0 5 の研磨レートが、シリコン酸化膜 3 0 4 の研磨レートに比べて遅いため、シリコン窒化膜 3 0 3、3 0 5 のところで研磨を止めることができる。その後、シリコン窒化膜 3 0 3 および 3 0 5 とシリコン酸化膜 3 0 2 を、ウェット洗浄技術で除去する（図 6（c））。

【0040】

次に、半導体基板 3 0 1 の表面上に熱酸化法等によりゲート絶縁膜 3 1 0 を形成し、続いて、多結晶シリコン膜を CVD 法等により堆積する。この多結晶シリコン中に n 型の不純物（例えば、リン）および p 型の不純物（例えば、ボロン）をイオン打ち込み法にて注入する。これにより、NMOS のゲート電極として n 型の多結晶シリコン 3 1 1 と、PMOS のゲート電極として p 型の多結晶シリコン 3 1 2 が形成される。

【0041】

次に、 950°C の活性化アニールを行った後に、スパッタ法等により金属 3 0 9（例えば、タングステン）を 5 nm 程度堆積する。このとき、多結晶シリコン膜 3 1 1、3 1 2 の表面に残る自然酸化膜等を除去するため、フッ酸等により前洗浄を行う。続いて、反応防止膜としての金属窒化物 3 0 8（例えば、窒化タングステン）および金属 3 0 7（例えば、タングステン）を、それぞれ膜厚 $5 \sim 10 \text{ nm}$ 程度および 50 nm 程度スパッタ法等により堆積する。なお、これらの金属 3 0 9、3 0 7 あるいは金属窒化物 3 0 8 の堆積は、大気中にさらさないよう連続して行うことが望ましい。さらに、金属 3 0 7 上にシリコン酸化膜 3 0 6 を

プラズマCVD法等により堆積する（図7（a））。

【0042】

本実施例では、この段階で650℃以上の熱工程を加えることにより、金属309と多結晶シリコン311、312が反応して、金属珪化物320（例えば、タングステンシリサイド）が、堆積した金属309の膜厚の2倍程度の膜厚だけ形成される（図7（b））。

【0043】

これら堆積された膜を、レジストを用いたリソグラフィ工程および異方性ドライエッチング技術等を用いて、ゲート電極として加工する。

【0044】

次に、ホトリソグラフィ工程およびイオン打ち込み法により、NMOSの拡散層領域314およびパンチスルーストップ領域315、PMOSの拡散層領域316およびパンチスルーストップ領域317を形成し、さらに、プラズマCVD法等を用いてシリコン酸化膜を堆積した後、堆積した膜厚分、等方性ドライエッチングにより除去することにより、ゲート電極の側面にシリコン酸化膜からなるサイドウォール313を形成する。その後、ホトリソグラフィ工程とイオン打ち込み技術により、NMOSおよびPMOSの深い拡散層領域318、319を形成する（図7（c））。

【0045】

このようにして形成したゲート電極は、金属珪化物320と多結晶シリコン310、312の間に、理想的な金属-半導体接触が形成されるため、従来の金属珪化物を挟まない構造に比べて、10分の1～40分の1程度小さい接触抵抗を得ることができる。また、これらの効果により、デバイスの回路性能（無負荷のCMOSデバイスの伝播遅延時間）は、約28psから約12psへと向上する（ゲート長0.10μm世代のCMOSデバイス）。

【0046】

【発明の効果】

従来の窒化タングステン/多結晶シリコン界面の接触抵抗では、n/p型双方の多結晶シリコンのいずれの場合においても $10^{-5}\Omega \cdot \text{cm}^2$ オーダーであり、

オーミック特性を得られる理想的な金属／半導体界面が形成できなかったのに対して、本発明によれば、窒化タングステン／タングステンシリサイド／多結晶シリコン構造にすることで、ほぼ理想的な金属／半導体界面を得ることができ、オーミックな特性を示す低接触抵抗の界面を得ることができる。また、本構造をMOSトランジスタのゲート電極として用いた場合は、ゲート抵抗の低減の効果により、回路性能を向上することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例の製造工程を示す工程断面図。

【図 2】

本発明の第 2 の実施例の製造工程を示す工程断面図。

【図 3】

本発明の第 3 の実施例の製造工程を示す工程断面図。

【図 4】

本発明の第 4 の実施例の製造工程の一部を示す工程断面図。

【図 5】

本発明の第 4 の実施例の製造工程の一部を示す工程断面図。

【図 6】

本発明の第 5 の実施例の製造工程の一部を示す工程断面図。

【図 7】

本発明の第 5 の実施例の製造工程の一部を示す工程断面図。

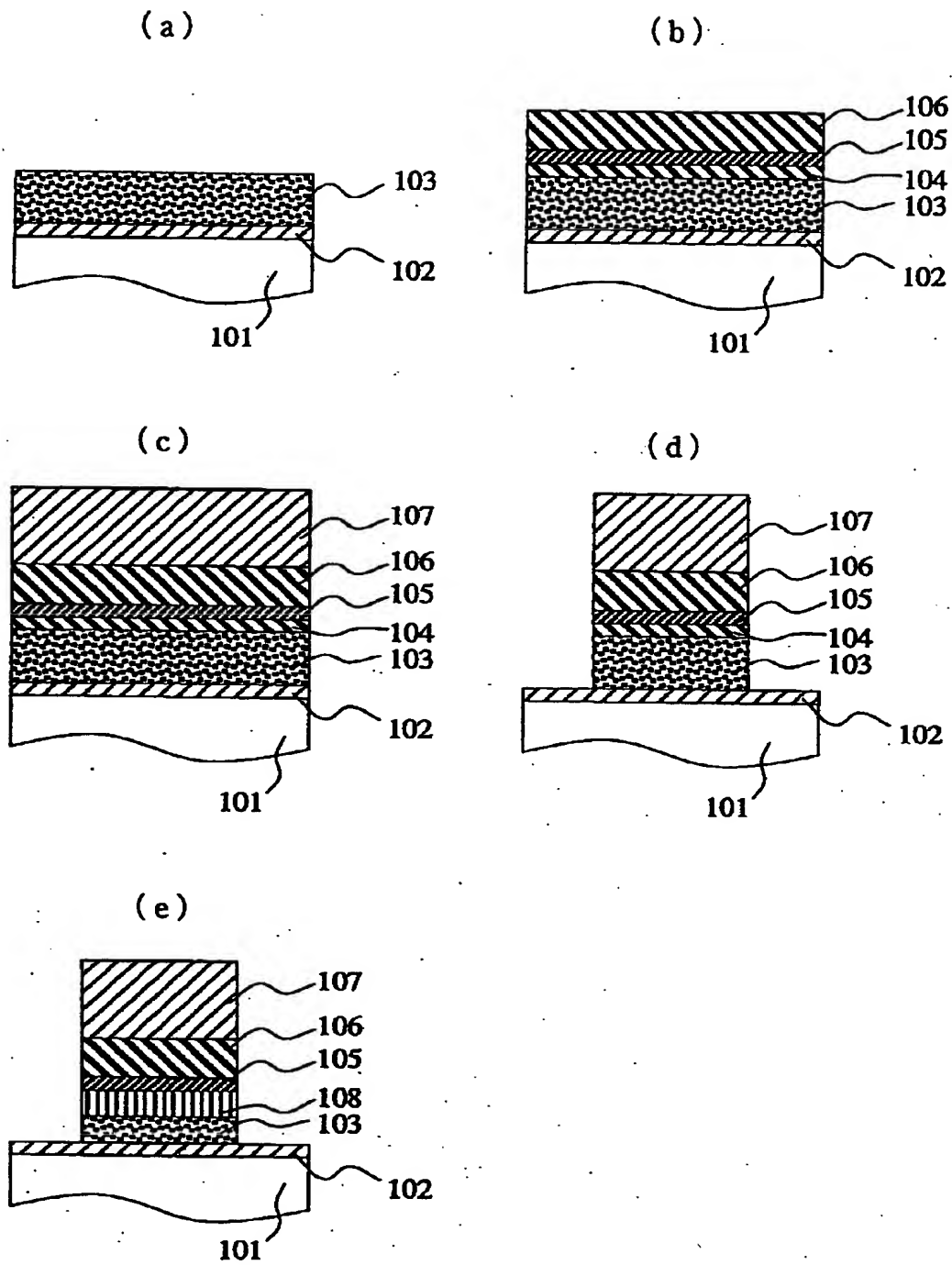
【符号の説明】

1 0 1, 3 0 1…半導体基板、1 0 2, 3 1 0…ゲート酸化膜、1 0 3…多結晶シリコン膜、1 0 4, 3 0 9…金属膜、1 0 5, 3 0 8…金属窒化物、1 0 6, 3 0 7…金属、1 0 7, 3 0 6…シリコン酸化膜、1 0 8, 3 2 0…金属珪化物、1 0 9…金属珪化物、3 0 2…シリコン酸化膜、3 0 3, 3 0 5…シリコン窒化膜、3 0 4…シリコン酸化膜、3 1 1…n型多結晶シリコン膜、3 1 2…p型多結晶シリコン膜、3 1 3…シリコン酸化膜、3 1 5, 3 1 7…パンチスルーストッパ、3 1 4, 3 1 6…拡散層、3 1 8, 3 1 9…深い拡散層。

【書類名】 図面

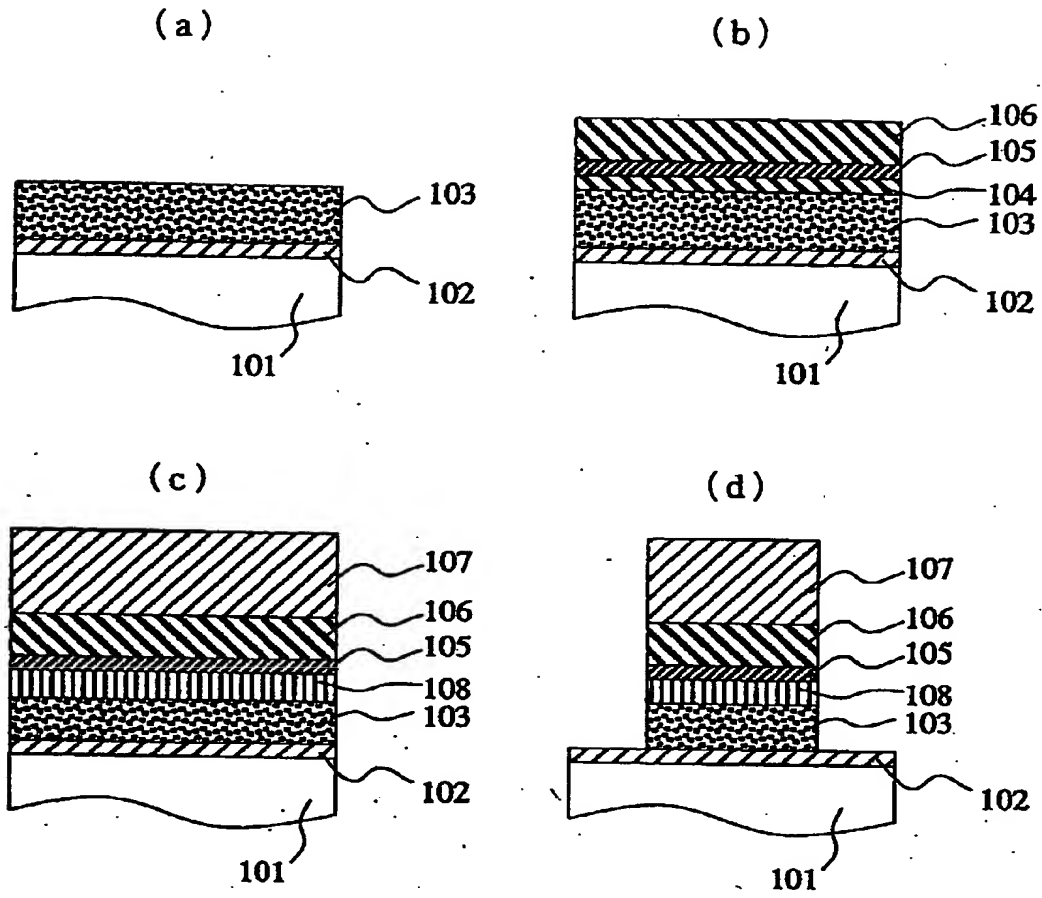
【図 1】

図 1



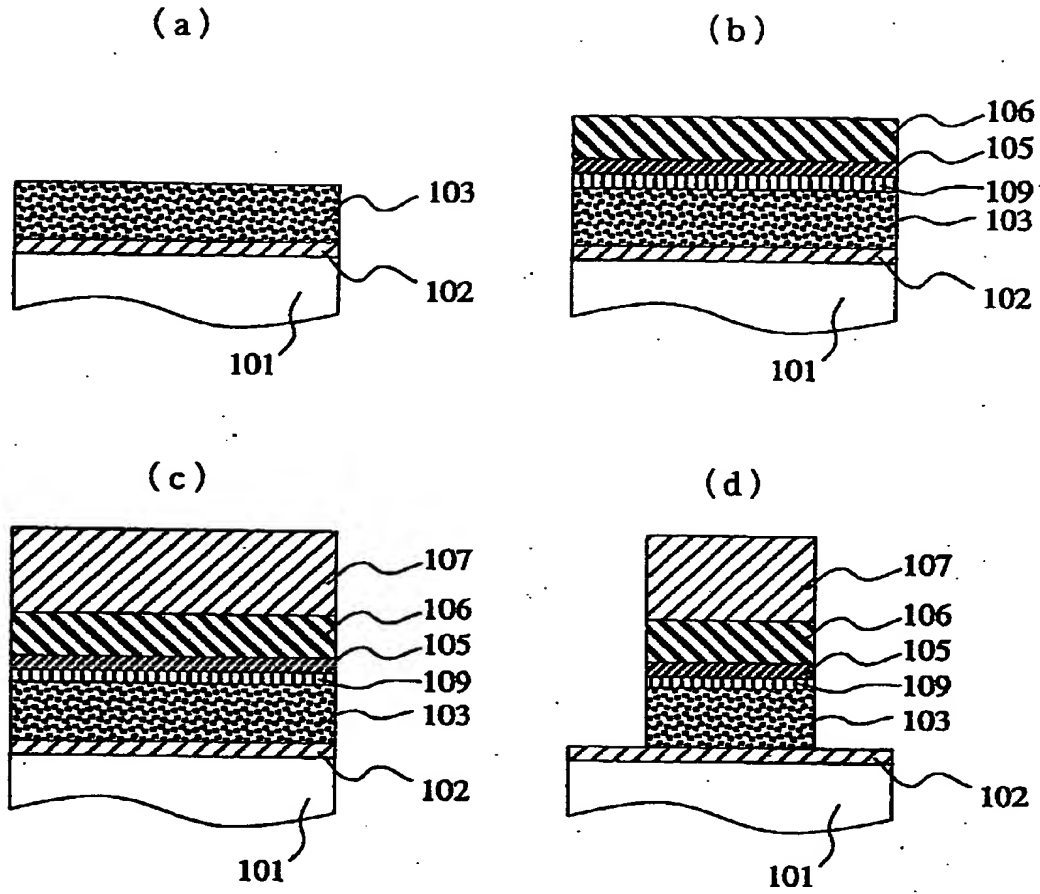
【図 2】

図 2



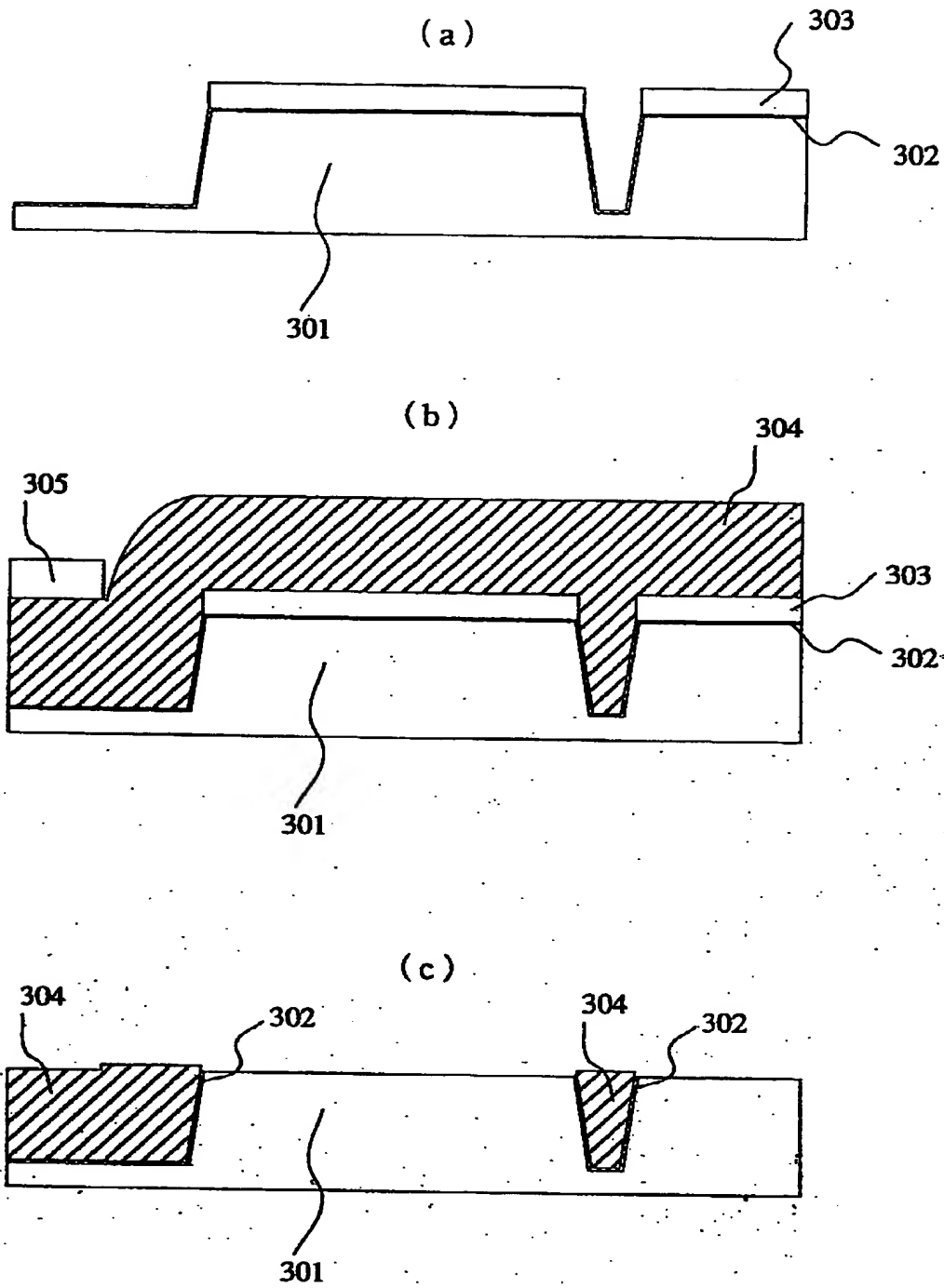
【図 3】

図 3



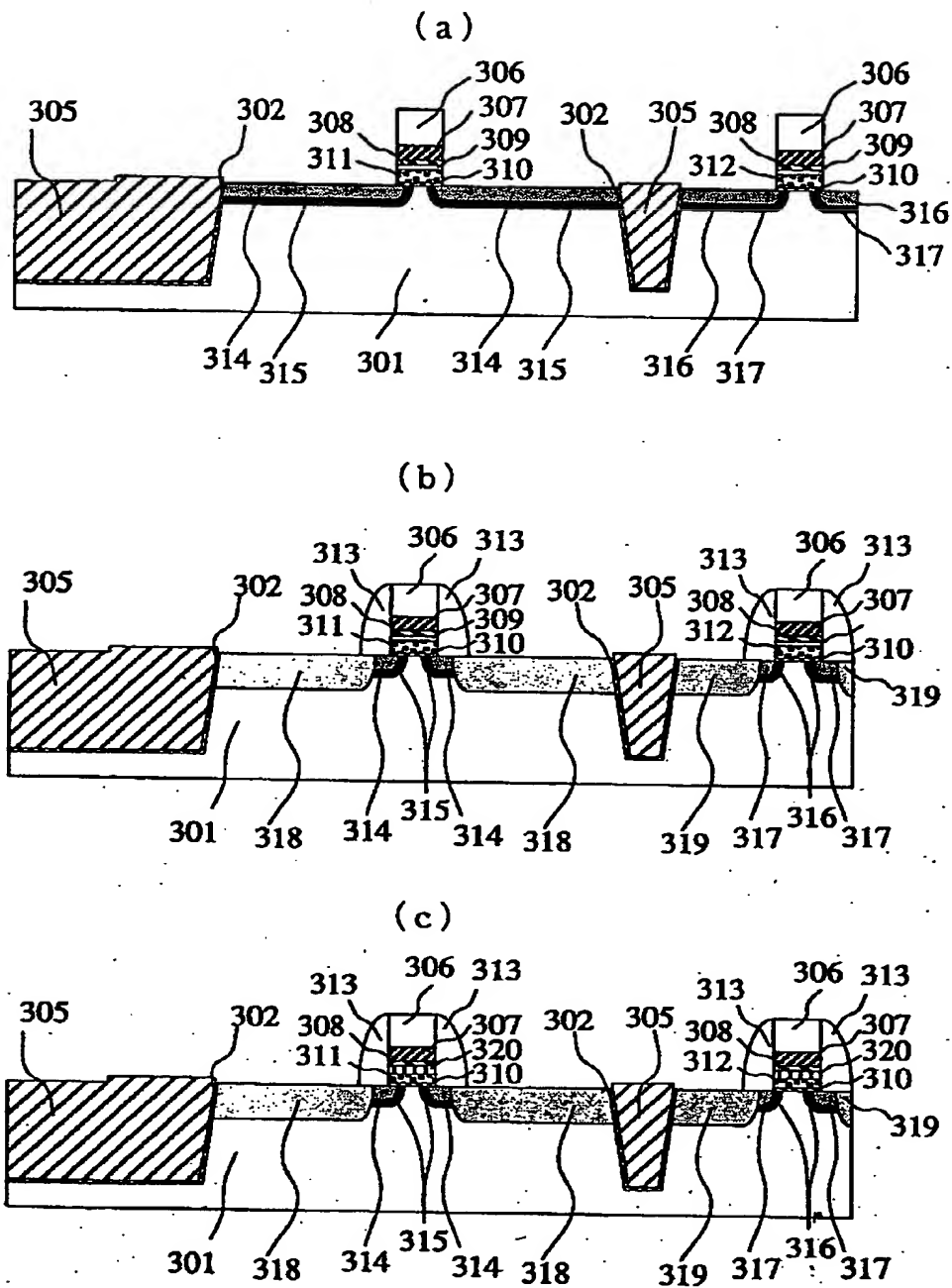
【図 4】

図 4



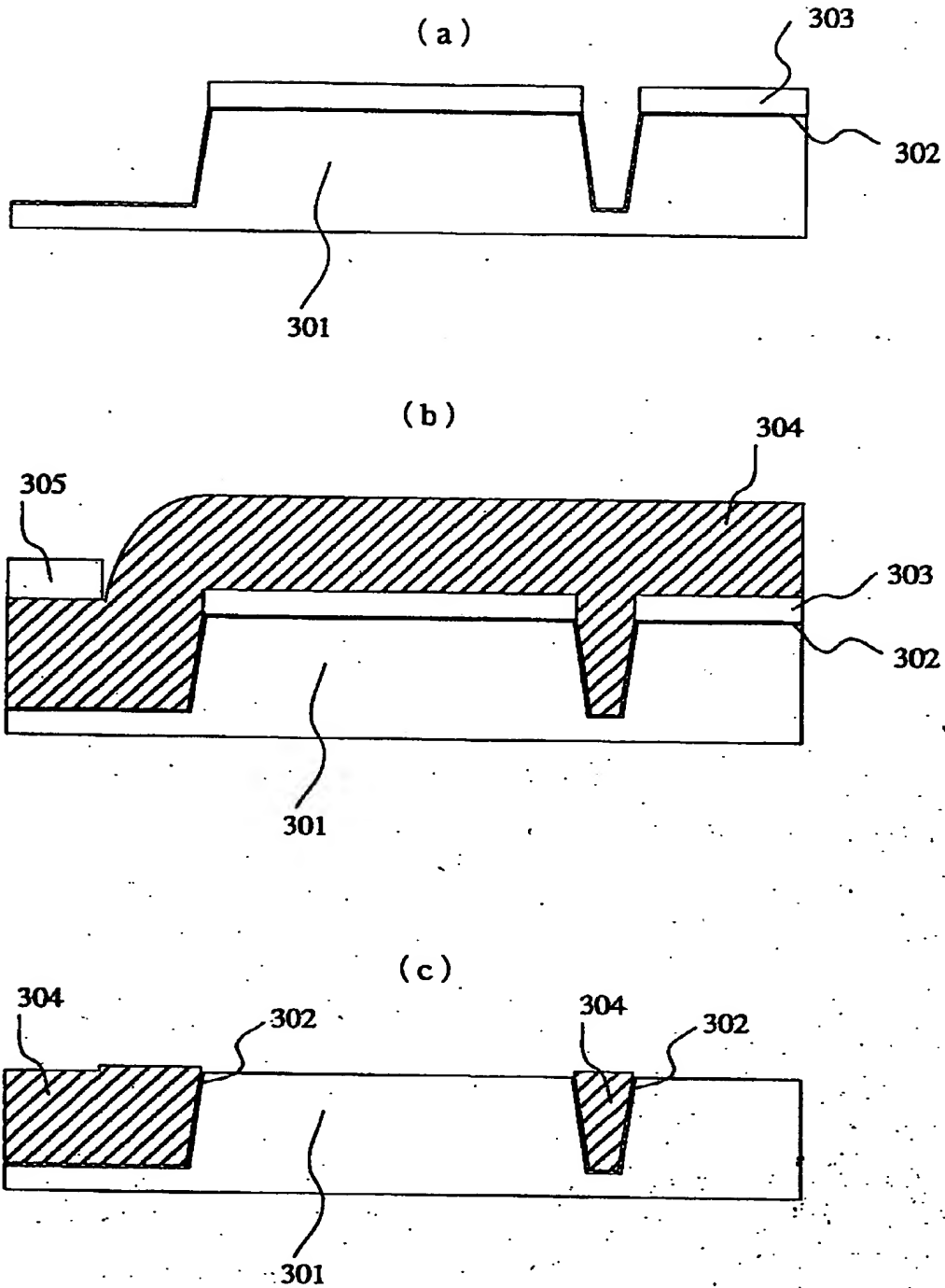
【図 5】

図 5



【図 6】

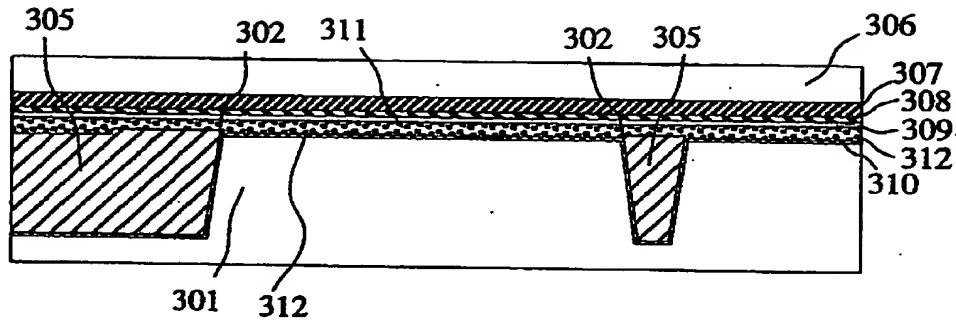
図 6



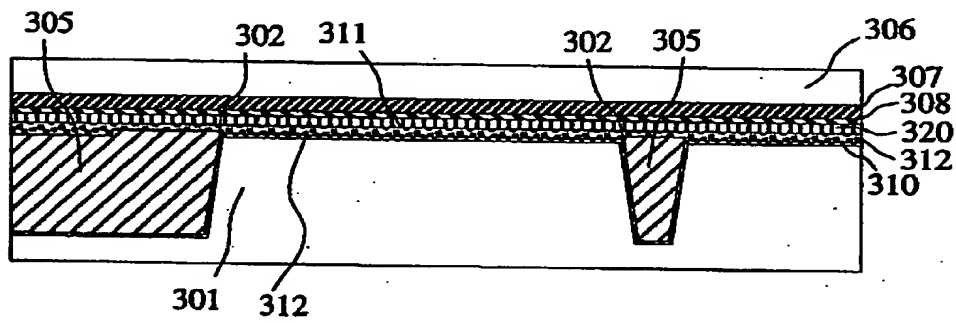
【图 7】

图 7

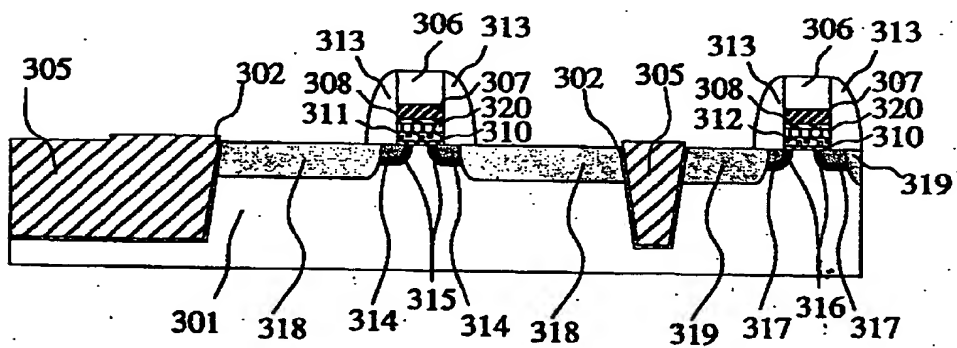
(a)



(b)



(c)



【書類名】 要約書

【要約】

【課題】 従来の金属／反応防止膜／多結晶シリコンの構造では、反応防止膜／多結晶シリコン間の接触抵抗が大きく、ゲート抵抗が高くなる。これによって、MOSトランジスタの回路遅延時間が増大する。

【解決手段】 反応防止膜／多結晶シリコン間に金属珪化物を挟み、理想的な金属／半導体接触を形成する。

【効果】 反応防止膜／金属珪化物／多結晶シリコン間の接触抵抗が低減される。これにより、MOSトランジスタの回路遅延時間を短縮する

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所

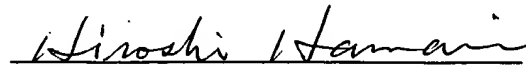
DECLARATION

I, Hiroshi HAMARI , a national of Japan,
c/o Asamura Patent Office of 331-340, New Ohtemachi
Building, 2-1, Ohtemachi-2-chome, Chiyoda-ku, Tokyo, Japan
do hereby solemnly and sincerely declare:-

- 1) THAT I am well acquainted with the Japanese language
and English language, and
- 2) THAT the attached is a full, true, accurate and
faithful translation into the English language made
by me of Japanese Patent Application No. 2000-118491.

The undersigned declares further that all
statements made herein of his own knowledge are true and
that all statements made on information and belief are
believed to be true; and further that these statements
were made with the knowledge that willful false statements
and the like so made are punishable by fine or imprisonment,
or both, under section 1001, of Title 18 of the United
States Code and that such willful false statements may
jeopardize the validity of the application or any patent
issuing thereon.

Signed this 2nd day of July , 2002.


Hiroshi HAMARI

2000-118491

[Title of Document] Patent Application

[Reference Number] H99019251A

[Data of Submission] April 14, 2000

[Addressee] Commissioner
The Patent Office

[International Patent Classification] H01L 27/105

[Inventor]

[Address] c/o Chuo Kenkyusho, HITACHI, LTD.,
280, Higashikoigakubo-1-chome,
Kokubunji-shi, Japan

[Name] Kazuhiro OHNISHI

[Inventor]

[Address] c/o Chuo Kenkyusho, HITACHI, LTD.,
280, Higashikoigakubo-1-chome,
Kokubunji-shi, Japan

[Name] Naoki YAMAMOTO

[Applicant]

[Applicant's ID Number] 0 0 0 0 0 5 1 0 8

[Name] HITACHI, LTD.

[Agent]

[Agent's ID Number] 1 0 0 0 7 5 0 9 6

[Patent Attorney]

[Name] Yasuo SAKUTA

[Telephone] 03-3212-1111

2000-118491

[Indication on Fee]

[Prepayment Register Number] 013088

[Amount of Payment] ¥21,000-

[List of Items Filed]

[Title of Article] Specification 1

[Title of Article] Drawings 1

[Title of Article] Abstract 1

[Proof: Required or not] Yes

[Title of Document] Specification

[Title of the Invention] SEMICONDUCTOR DEVICE AND
PROCESS FOR PRODUCING THE
SAME

[Scope of Claim for a Patent]

[Claim 1]

A semiconductor device with an MOS
transistor, where the gate electrode of the MOS
5 transistor is in a stacked structure comprising a
silicon layer, a metal silicide layer, a metal nitride
layer and a metallic layer formed in this order from
the bottom upwards.

[Claim 2]

10 A semiconductor device according to Claim 1,
wherein the silicon layer is doped with an impurity of
any desired conductor type.

[Claim 3]

A semiconductor device according to Claim 1,
15 wherein the metal silicide layer has a thickness of 5-
20 nm.

[Claim 4]

A semiconductor device according to Claim 1,
wherein the metal silicide layer is a tungsten silicide
20 layer, the metal nitride layer is a tungsten nitride
layer, and the metallic layer is a tungsten layer.

[Claim 5]

A semiconductor device with an MOS transistor whose gate electrode is in a stacked structure comprising a silicon layer and a metallic layer as an uppermost layer provided on the silicon layer, wherein
5 a metal silicide layer is provided on the silicon layer side, and a metal nitride layer is provided under the metallic layer side between the silicon layer and the metallic layer.

[Claim 6]

10 A semiconductor device according to Claim 5, wherein the silicon layer is doped with an impurity of any desired conduction type.

[Claim 7]

A semiconductor device according to Claim 5,
15 wherein the metal silicide layer has a thickness of 5-20 nm.

[Claim 8]

A semiconductor device according to Claim 5, wherein the metal silicide layer is a tungsten silicide
20 layer, the metal nitride layer is a tungsten nitride layer and the metallic layer is a tungsten layer.

[Claim 9]

A process for producing a semiconductor device, which comprises a first step of forming a first
25 insulation layer on the surface of a semiconductor substrate, a second step of depositing a silicon layer on the first insulation layer, a third step of depositing a first material layer on the silicon layer,

a fourth step of depositing a metal nitride layer on the first metallic layer, a fifth step of depositing a second metallic layer on the metal nitride layer, a sixth step of processing a stacked structure of the silicon layer, the first metallic layer, the metal nitride layer and the second metallic layer into a gate electrode form, a seventh step of ion implanting an impurity onto the surface of the semiconductor substrate, using the gate electrode as a mask, and an eighth step of reacting the first metallic layer with the silicon layer by heat treatment, thereby forming a metal silicide layer.

[Claim 10]

A process for producing a semiconductor device according to Claim 9, wherein in the eighth step the heat treatment is carried out at 650°C or higher.

[Claim 11]

A process for producing a semiconductor device according to Claim 9, wherein in the eighth step, the impurity implanted in the seventh step is activated.

[Claim 12]

A process for producing a semiconductor device according to Claim 9, wherein the metal silicide layer is a tungsten silicide layer, the metal nitride layer is a tungsten nitride layer and the first and second metallic layers are tungsten layers.

[Claim 13]

A process for producing a semiconductor device, which comprises a first step of forming a first insulation layer on the surface of a semiconductor substrate, a second step of depositing a silicon layer
5 on the first insulation layer, a third step of depositing a first metallic layer on the silicon layer, a fourth step of depositing a metal nitride layer on the first metallic layer, a fifth step of depositing a second metallic layer on the metal nitride layer, a
10 sixth step of reacting the first metallic layer with the silicon layer by heat treatment, thereby turning a metal silicide layer, a seventh step of processing the stacked structure comprising the silicon layer, the metal silicide layer, the metal nitride layer and the
15 second metallic layer into a gate electrode form, and an eighth step of ion implanting an impurity onto the surface of the semiconductor substrate, using the gate electrode as a mask.

[Claim 14]

20 A process for producing a semiconductor device according to Claim 13, wherein in the sixth step the heat treatment is carried out at 650°C or higher.

[Claim 15]

A process for producing a semiconductor
25 device according to Claim 13, wherein the metal silicide layer is a tungsten silicide layer, the metal nitride layer is a tungsten nitride layer and the first and second metallic layers are tungsten layers.

[Claim 16]

A process for producing a semiconductor device, which comprises a step of forming a first insulation layer on the surface of a semiconductor substrate, a step of depositing a silicon layer on the first insulation layer, a step of depositing a metal silicide layer on the silicon layer, a step of depositing a metal nitride layer on the first metal layer, a step of depositing a metallic layer on the metal nitride layer, a step of processing the stacked structure comprising the silicon layer, the metal silicide layer, the metal nitride layer and the metallic layer into a gate electrode form, and a step of ion implanting an impurity onto the surface of the semiconductor substrate, using the gate electrode as a mask.

[Claim 17]

A process for producing a semiconductor device according to Claim 16, wherein the metal silicide layer is a tungsten silicide layer, the metal nitride layer is a tungsten nitride layer and the metallic layer is a tungsten layer.

[Detailed Description of the Invention]

[0001]

25 [Technical Field of the Invention]

The present invention relates to a semiconductor device and a process for producing the

same, and more particularly to a semiconductor device with an MIS type transistor and a process for producing the same.

[0002]

5 [Prior Art]

To attain higher performance and higher integration of devices, semiconductor devices have been progressively scaled down these years, necessitating incorporation of low-resistance materials into the
10 electrode materials. It is thus desirable to incorporated a metal also into the MOS transistor gate electrode.

[0003]

In case of high speed CMOS devices, on the
15 other hand, only low threshold voltage and low gate resistance are not enough to attain higher performance and higher integration at the same time, and it is required to reduce the gate/contact pitch. Conventional technologies of satisfying these
20 requirements include a SALICIDE technology of self-aligned silicidation of gate polycrystalline silicon and source/drain regions, a technology using POLICIDE structure, i.e. using a gate of polycrystalline silicon/silicide-stacked structure, a technology using
25 a gate electrode of polycrystalline silicon/high melting point metal-stacked structure, etc.

[0004]

However, the SALICIDE technology is difficult

to use together with a self-aligned contact technology and thus is difficult to reduce the layout pitch. The POLICIDE structure is so high in the sheet resistance that it is difficult to obtain a sufficiently low gate
5 resistance. This is a problem of the POLICIDE structure. Thus, the desirable gate electrode structure capable of satisfying the aforementioned requirements is a metal/polycrystalline silicon-stacked structure.

10 [0005]

However, such a stacked structure has a low thermal stability and even if tungsten, i.e. high melting point metal, is used as the metal, reaction takes place between the metal and silicon during the
15 heat treatment at about 650°C, resulting in an increase in resistance, degradation of layer surface state, dielectric breakdown, etc. as other problems. To solve these problems, a structure of inserting a metal nitride layer as a reaction barrier between the metal
20 and the polycrystalline silicon (metal/reaction barrier/polycrystalline silicon-stacked structure) has been proposed (e.g. '98 IEDM Technical Digest, pp. 397-400).

[0006]

25 [Problem to be Solved by the Invention]

Use of the tungsten nitride layer as a reaction barrier as mentioned above, still suffers from the following problems:

(1) Contact resistance between tungsten nitride and polycrystalline silicon is very high, e.g. up to $2 \times 10^{-5} \Omega \cdot \text{cm}^2$.

(2) Device circuit performance is not improved due to the high contact resistance, etc.

[0007]

An object of the present invention is to provide a semiconductor device with reduced contact resistance between the reaction barrier layer and the polycrystalline silicon in the metal/reaction-barrier/polycrystalline silicon-stacked structure, and a process for producing the same.

[0008]

[Means for Solving Problem]

To reduce the contact resistance between reaction barrier film and polycrystalline silicon, a metal/reaction barrier/metal silicide/polycrystalline silicon-stacked structure is applied as a gate electrode.

[0009]

[Mode for Carrying Out the Invention]

The present invention will be described in detail below, referring to Examples and Drawings.

[0010]

Figs. 1(a) - (e) are cross-sectional views showing process steps for forming a gate electrode according to Example 1 of the present invention.

[0011]

Gate insulation layer 102 is formed on the surface of semiconductor substrate 101 e.g. by thermal oxidation, and then polycrystalline silicon layer 103 is deposited thereon e.g. by CVD (Fig. 1(a)).

5 [0012]

Polycrystalline silicon layer 103 is doped with an impurity of any desired conduction type (e.g. phosphorus or boron) by ion implanting, followed by activation annealing at 950°-1,000°C. Then, metallic layer 104 of e.g. tungsten is deposited thereon to a thickness of about 5 nm e.g. by sputtering, where precleaning e.g. with hydrofluoric acid is carried out beforehand to remove natural oxide, etc. remaining on the surface of polycrystalline silicon layer 103.

15 Then, metal nitride layer 105 of e.g. tungsten nitride as a reaction barrier and metallic layer 106 of e.g. tungsten are deposited thereon one after the other to a thickness of about 5 to about 10 nm and to a thickness of about 50 nm, respectively, e.g. by sputtering (Fig.

20 1(b)).

[0013]

It is desirable to deposit these metallic layers 104 and 106 or metal nitride layer 105 continuously without exposure to the air. Then,

25 silicon oxide layer 107 is deposited on metallic layer 6 e.g. by plasma CVD (Fig. 1(c)).

[0014]

The stacked structure of these deposited

layers is processed into a gate electrode e.g. by lithography and anisotropic dry etching, using a resist (Fig. 1(d)).

[0015]

5 Then, metallic layer 104 is made to react with polycrystalline silicon layer 103 by heat treatment at 650°C or higher in a process for forming a CMOS device, thereby forming metal silicide layer 108 of e.g. tungsten silicide to a thickness about twice as large
10 as that of deposited metallic layer 104 (Fig. 1(e)).

[0016]

 The gate electrode thus formed has a contact resistance by about 1/10 to about 1/40 lower than that of the conventional gate electrode without insertion of
15 a metal silicide layer, because a desirable metal/semiconductor contact can be formed between metal silicide layer 108 and polycrystalline silicon layer 103 in the present Example.

[0017]

20 Figs. 2(a) - (d) are cross-sectional views showing process steps for forming a gate electrode according to Example 2 of the present invention.

[0018]

 The process steps of Figs. 2(a) and 2(b) are
25 identical with those of Example 1. After gate insulation layer 102, polycrystalline silicon layer 103, metallic layer 104 of e.g. tungsten, metal nitride layer 105 of e.g. tungsten nitride, and metallic layer

106 of e.g. tungsten have been deposited on silicon substrate 101 as a stacked structure (Fig. 2(b)), heat treatment of the stacked structure is carried out at 650°C or higher in the present Example to react metallic layer 104 with polycrystalline silicon layer 103, thereby forming metal silicide layer 108 of e.g. tungsten silicide only to a thickness about twice as large as that of deposited metallic layer 104 (Fig. 2(c)).

10 [0019]

Then, the stacked structure is processed into a gate electrode e.g. by lithography and anisotropic dry etching using a resist (Fig. 2(d)).

[0020]

15 The gate electrode thus formed has a contact resistance by about 1/10 to about 1/40 lower than that of the conventional gate electrode without insertion of a metal silicide layer, because a desirable metal/semiconductor contact can be formed between metal silicide layer 108 and polycrystalline silicon layer 103 in the present Example.

[0021]

Figs. 3(a) - (d) are cross-sectional views showing process steps for forming a gate electrode according to Example 3 of the present invention.

[0022]

Gate insulation layer 102 is formed on the surface of semiconductor substrate 101 e.g. by thermal

oxidation, and then polycrystalline silicon layer 103 is deposited thereon e.g. by CVD (Fig. 3(a)).

[0023]

Polycrystalline silicon layer 103 is doped
5 with an impurity of any desired conduction type (e.g. phosphorus or boron) by ion implanting, followed by activation annealing at 950°-1,000°C. Then, metal silicide layer 109 of e.g. tungsten silicide is deposited thereon to a thickness of 5-20 nm e.g. by
10 sputtering or CVD, where precleaning e.g. with hydrofluoric acid is carried out beforehand to remove natural oxide, etc. remaining on the surface of polycrystalline silicon layer 103. Then, metal nitride layer 105 of e.g. tungsten nitride as a reaction
15 barrier and metallic layer 106 of e.g. tungsten are deposited thereon one after the other to a thickness of about 5 to about 10 nm and to thickness of about 50 nm, respectively, e.g. by sputtering (Fig. 3(b)).

[0024]

20 It is desirable to deposit these metal silicide layer 109, metal nitride layer 105 and metallic layer 106 continuously without exposure to the air. Then, silicon oxide layer 107 is deposited on metallic layer 106, e.g. by plasma CVD (Fig. 3(c)).

25 [0025]

The stacked structure of these deposited layers is processed into a gate electrode, e.g. by lithography and anisotropic dry etching using a resist

(Fig. 3(d)).

[0026]

The gate electrode thus formed has a contact resistance by about 1/10 to about 1/40 lower than that of the conventional gate electrode without insertion of a metal silicide layer, because a desirable metal/semiconductor contact can be formed between metal silicide layer 109 and polycrystalline silicon layer 103 in the present Example.

10 [0027]

Figs. 4(a) - (c) and Figs. 5(a) - (c) are cross-sectional views showing process steps for producing a CMOS transistor according to Example 4 of the present invention.

15 [0028]

The surface of silicon substrate 301 is oxidized to a thickness of about 10 nm e.g. by thermal oxidation to form oxide layer 302, and silicon nitride layer 303 is deposited thereon to a thickness of about 150 nm e.g. by thermal CVD. Then, a trench is formed to a depth of about 0.3 μ m in a region serving as isolation area of silicon substrate 301 by photolithography and dry etching and then the inside surface of the trench is thermally oxidized to a thickness of about 10 nm (Fig. 4(a)).

[0029]

Then, silicon oxide layer 304 is deposited e.g. by CVD to fill the trench, and the silicon nitride

layer 305 is deposited thereon e.g. by thermal CVD. Silicon nitride layer 305 is removed only from the surface of device-active region e.g. by photolithography and dry etching, as shown in Fig.

5 4(b), followed by flattening by CMP (Chemical Mechanical Polishing). Polishing rate of silicon nitride layers 303 and 305 is lower than that of silicon oxide layer 304, so that the polishing can be discontinued at the level of silicon nitride layers 303
10 and 305. Then, silicon nitride layers 303 and 305 and silicon oxide layer 302 are removed by wet cleaning (Fig. 4(c)).

[0030]

Then, gate insulation layer 310 is formed on
15 the surface of semiconductor substrate 301 e.g. by thermal oxidation, and polycrystalline silicon layer is formed thereon e.g. by CVD. The polycrystalline silicon layer is locally doped with an impurity of n-type (e.g. phosphorus) and with another impurity of p-
20 type (e.g. boron) by ion implanting, thereby forming n-type polycrystalline silicon layer 311 as an NMOS gate electrode and p-type polycrystalline silicon layer 312 as a PMOS gate electrode, respectively.

[0031]

25 Next, activation annealing is conducted at 950°C. Then, metallic layer 309 of e.g. tungsten is deposited thereon to a thickness of about 5 nm e.g. by sputtering, where precleaning e.g. with hydrofluoric

acid is carried out beforehand to remove natural oxide, etc. remaining on the surfaces of polycrystalline silicon layers 311 and 312. Then, metal nitride layer 308 of e.g. tungsten nitride as a reaction barrier and
5 metallic layer 307 of e.g. tungsten are deposited thereon one after the other to a thickness of about 5 to about 10 nm and to a thickness of about 50 nm, respectively, e.g. by sputtering. It is desirable to deposit these metallic layer 309, metal nitride layer
10 308 and metallic layer 307 continuously without exposing to the air. Then, silicon oxide layer 306 is deposited on metallic layer 307 e.g. by plasma CVD.

[0032]

The stacked structure of these deposited
15 layers is processed into gate electrodes e.g. by lithography and anisotropic dry etching using a resist.

[0033]

Then, NMOS diffusion layer region 314 and punch-through stopper region 315, and PMOS diffusion
20 layer region 316 and punch-through stopper region 317 are formed by photolithography and ion implanting (Fig. 5(a)).

[0034]

Furthermore, after a silicon oxide layer is
25 deposited thereon e.g. by plasma CVD, side walls 313 of silicon oxide are formed on the gate electrode sides by removing the deposited silicon oxide layer only by a corresponding deposited thickness portion by isotropic

dry etching. Then, deeper NMOS diffusion layer region 319 are formed by photolithography and ion implanting (Fig. 5(b)).

[0035]

5 Then, metallic layer 309 is made to react with polycrystalline silicon layers 311 and 312 by activation annealing of transistor [e.g. RTA(Rapid Thermal Annealing) at 950°C for 10 seconds], thereby forming metal silicide layer 320 of e.g. tungsten
10 silicide to a thickness about twice as large as that of deposited metallic layer 309 (Fig. 5(c)).

[0036]

The gate electrodes thus formed have a contact resistance by about 1/10 to about 1/40 lower
15 than that of the conventional gate electrodes without insertion of a metal silicide layer, because a desirable metal/semiconductor contact can be formed between metal silicide layer 320 and polycrystalline silicon layer 310, 312 in the present Example. Device
20 circuit performance (propagation delay of CMOS device under no load) can be also increased to about 12 ps from about 28 ps (CMOS device with gate length generation of 0.10 μm) owing to these effects.

[0037]

25 Figs. 6(a) - (c) and Figs. 7(a) - (c) are cross-sectional views showing process steps for producing a CMOS transistor according to Example 5 of the present invention.

[0038]

The surface of silicon substrate 301 is oxidized to a thickness of about 10 nm e.g. by thermal oxidation to form oxide layer 302, and silicon nitride layer 303 is deposited thereon to a thickness of about 150 nm e.g. by thermal CVD. Then, a trench is formed to a depth of about 0.3 μ m in a region serving as isolation area of silicon substrate 301 by photolithography and dry etching and then the inside surface of the trench is thermally oxidized to a thickness of about 10 nm (Fig. 6(a)).

[0039]

Then, silicon oxide layer 304 is deposited e.g. by CVD to fill the trench and then silicon nitride layer 305 is deposited thereon e.g. by thermal CVD. Silicon nitride layer 305 is removed only from the surface of device-active region e.g. by photolithography and dry etching as shown in Fig. 6(b), followed by flattening by CMP (Chemical Mechanical Polishing). Polishing rate of silicon nitride layer 303 and 305 is lower than that of silicon oxide layer 304, so that the polishing can be discontinued at the level of silicon nitride layers 303 and 305. Then, silicon nitride layers 303 and 305 and silicon oxide layers 302 are removed by wet cleaning (Fig. 6(c)).

[0040]

Then, gate insulation layer 310 is formed on the surface of semiconductor substrate 301 e.g. by

thermal oxidation, and polycrystalline silicon layer is formed thereon e.g. by CVD. The polycrystalline silicon layer is locally doped with an impurity of n-type (e.g. phosphorus) and with another impurity of p-type (e.g. boron) by ion implanting, thereby forming n-
5 type polycrystalline silicon layer 311 as an NMOS gate electrode and p-type polycrystalline silicon layer 312 as a PMOS gate electrode, respectively.

[0041]

10 Next activation annealing is conducted at 950°C. Then, metallic layer 309 of e.g. tungsten is deposited thereon to a thickness of about 5 nm e.g. by sputtering, where precleaning e.g. with hydrofluoric acid is carried out beforehand to remove natural oxide,
15 etc. remaining on the surfaces of polycrystalline silicon layers 311 and 312. Then, metal nitride layer 308 of e.g. tungsten nitride as a reaction barrier and metallic layer 307 of e.g. tungsten are deposited thereon one after the other to a thickness of about 5
20 to about 10 nm and to a thickness of about 50 nm, respectively, e.g. by sputtering. It is desirable to deposit these metallic layer 309, metal nitride layer 308 and metallic layer 307 continuously without exposing to the air. Then, silicon oxide layer 306 is
25 deposited on metallic layer 307 e.g. by plasma CVD (Fig. 7(a)).

[0042]

In the present Example, heat treatment is

carried out at 650°C or higher at this stage to make metallic layer 309 react with polycrystalline silicon layers 311 and 312, thereby forming metal silicide layer 320 of e.g. tungsten silicide to a thickness about twice as large as that of deposited metallic layer 309 (Fig. 7(b)).

[0043]

The stacked structure of these deposited layers is processed into gate electrodes e.g. by lithography and anisotropic dry etching using a resist.

[0044]

Then, NMOS diffusion layer region 314 and punch-through stopper region 315, and PMOS diffusion layer region 316 and punch-through stopper region 317 are formed by photolithography and ion implanting. Furthermore, after a silicon oxide layer is deposited thereon e.g. by plasma CVD, side walls 313 of silicon oxide are formed on the gate electrode sides by removing the deposited silicon oxide layer only by a corresponding deposited thickness portion by isotropic dry etching. Then, deeper NMOS diffusion layer region 318 and deeper PMOS diffusion layer region 319 are formed by photolithography and ion implanting (Fig. 7(c)).

[0045]

The gate electrodes thus formed have a contact resistance by about 1/10 to about 1/40 lower than that of the conventional gate electrodes without

insertion of a metal silicide, because a desirable metal/semiconductor contact can be formed between metal silicide layer 320 and polycrystalline silicon layer 310, 312 in the present Example. Device circuit performance (propagation delay of CMOS device under no load) can be also increased to about 12 ps from about 28 ps (CMOS device with gate length generation of 0.10 μm) owing to these effects.

[0046]

10 [Effects of the Invention]

Contact resistance at the conventional tungsten nitride/polycrystalline silicon boundary is in the order of $10^{-5} \Omega \cdot \text{cm}^2$ even in any of polycrystalline silicon of either n- or p- type, failing to form a desirable metal/semiconductor boundary capable of showing ohmic characteristics, whereas the present invention can provide substantially desirable metal/semiconductor boundary by making a tungsten nitride/tungsten silicide/polycrystalline silicon-
stacked structure, i.e. can provide a low contact resistance boundary capable of showing ohmic characteristics. When the present stacked structure is used in the MOS transistor gate electrode, circuit performance can be increased owing to the gate resistance-reducing effect of the present invention.

Brief Description of Drawings

[Fig. 1]

Cross-sectional views showing process steps
of Example 1 according to the present invention.

[Fig. 2]

Cross-sectional views showing process steps
5 of Example 2 according to the present invention.

[Fig. 3]

Cross-sectional views showing process steps
of Example 3 according to the present invention.

[Fig. 4]

10 Cross-sectional views showing part of process
steps of Example 4 according to the present invention.

[Fig. 5]

Cross-sectional view showing part of process
steps of Example 4 according to the present invention.

15 [Fig. 6]

Cross-sectional views showing part of process
steps of Example 5 according to the present invention.

[Fig. 7]

Cross-sectional views showing part of process
20 steps of Example 5 according to the present invention.

[Description of Reference Numerals]

101 and 301: semiconductor substrate, 102
and 310: gate oxide layer, 103: polycrystalline
silicon layer, 104 and 309: metallic layer, 105 and
308: metal nitride layer, 106 and 307: metallic
layer, 107 and 306: silicon oxide layer, 108 and 320:
metal silicide layer, 109: metal silicide layer, 302:
silicon oxide layer, 303 and 305: silicon nitride

layer, 304: silicon oxide layer, 311: n-type polycrystalline silicon layer, 312: p-type polycrystalline silicon layer, 313: silicon oxide layer, 315 and 317: punch-through stopper, 314 and 316: diffusion layer, and 318 and 319: deep diffusion layer.

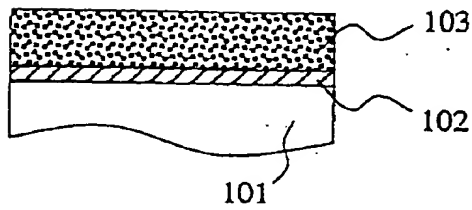
【書類名】 図面 [Title of Document] Drawings

【図 1】 [Fig. 1]

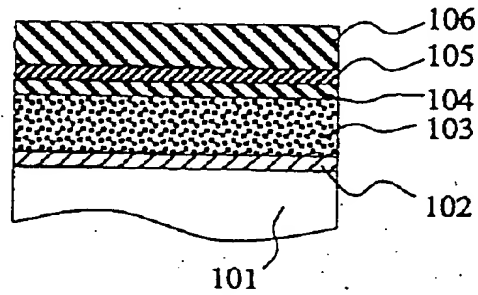
図 1

Fig. 1

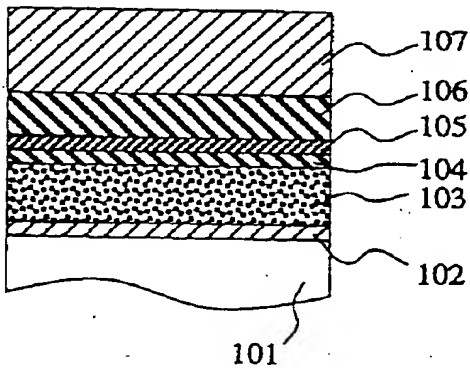
(a)



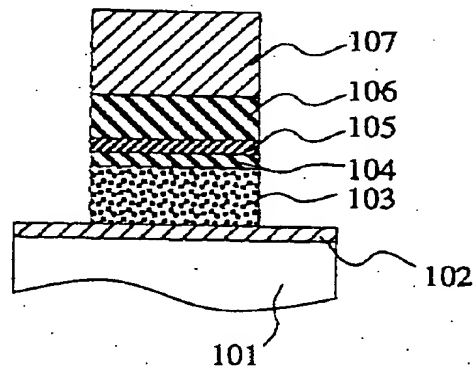
(b)



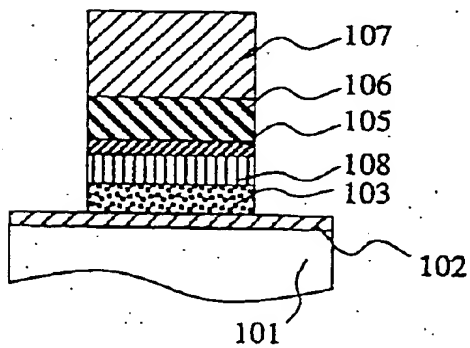
(c)



(d)



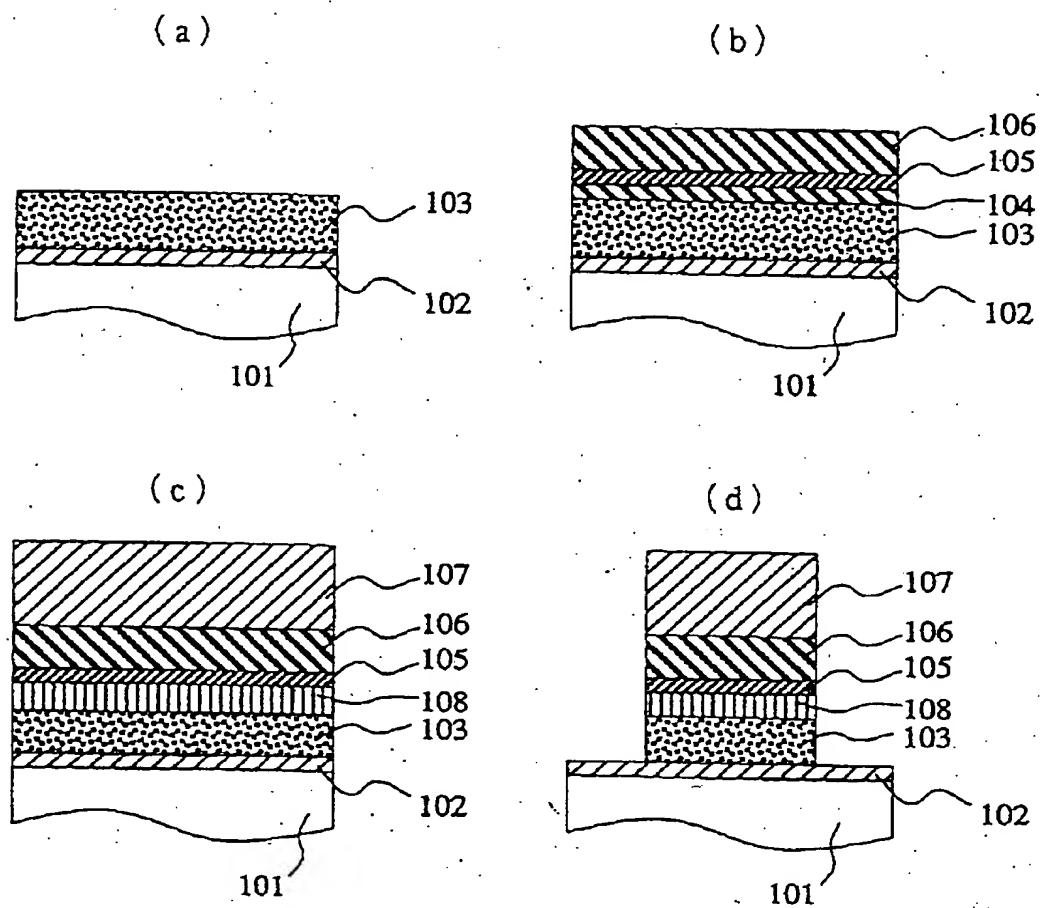
(e)



【図 2】 [Fig. 2]

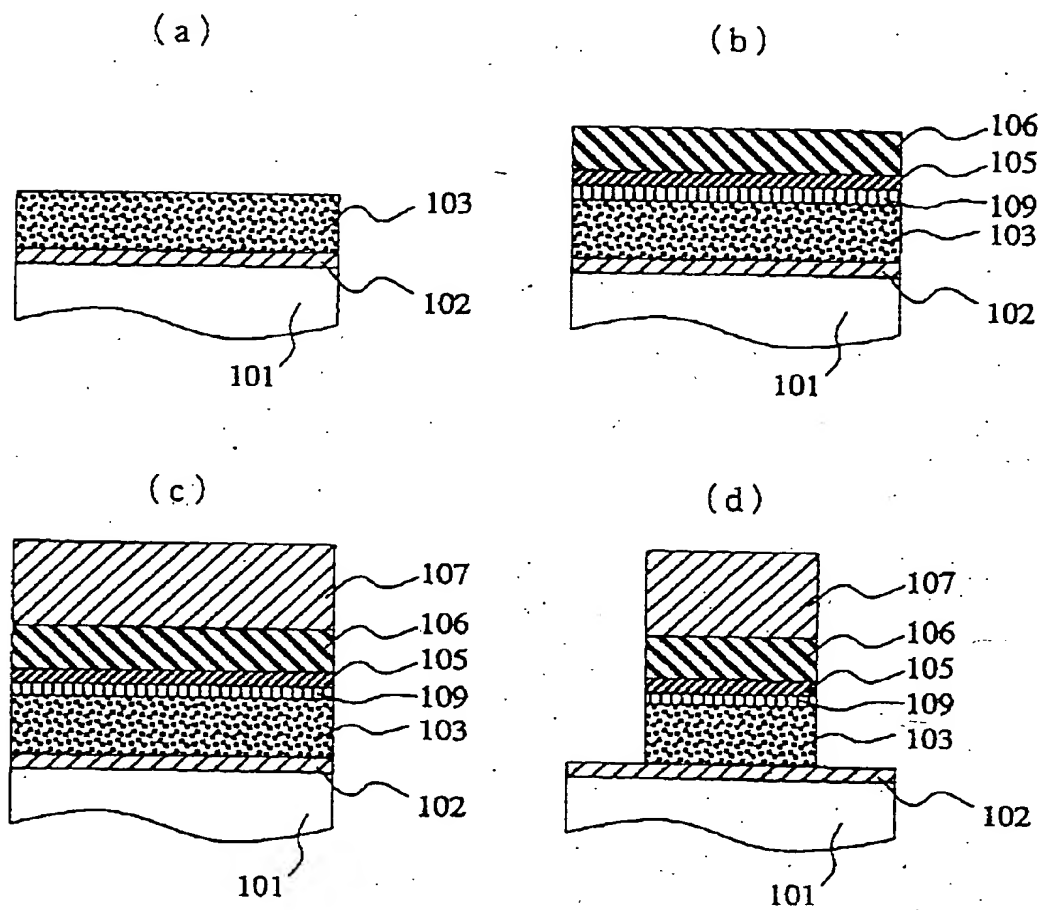
図 2

Fig. 2



【図 3】 [Fig. 3]

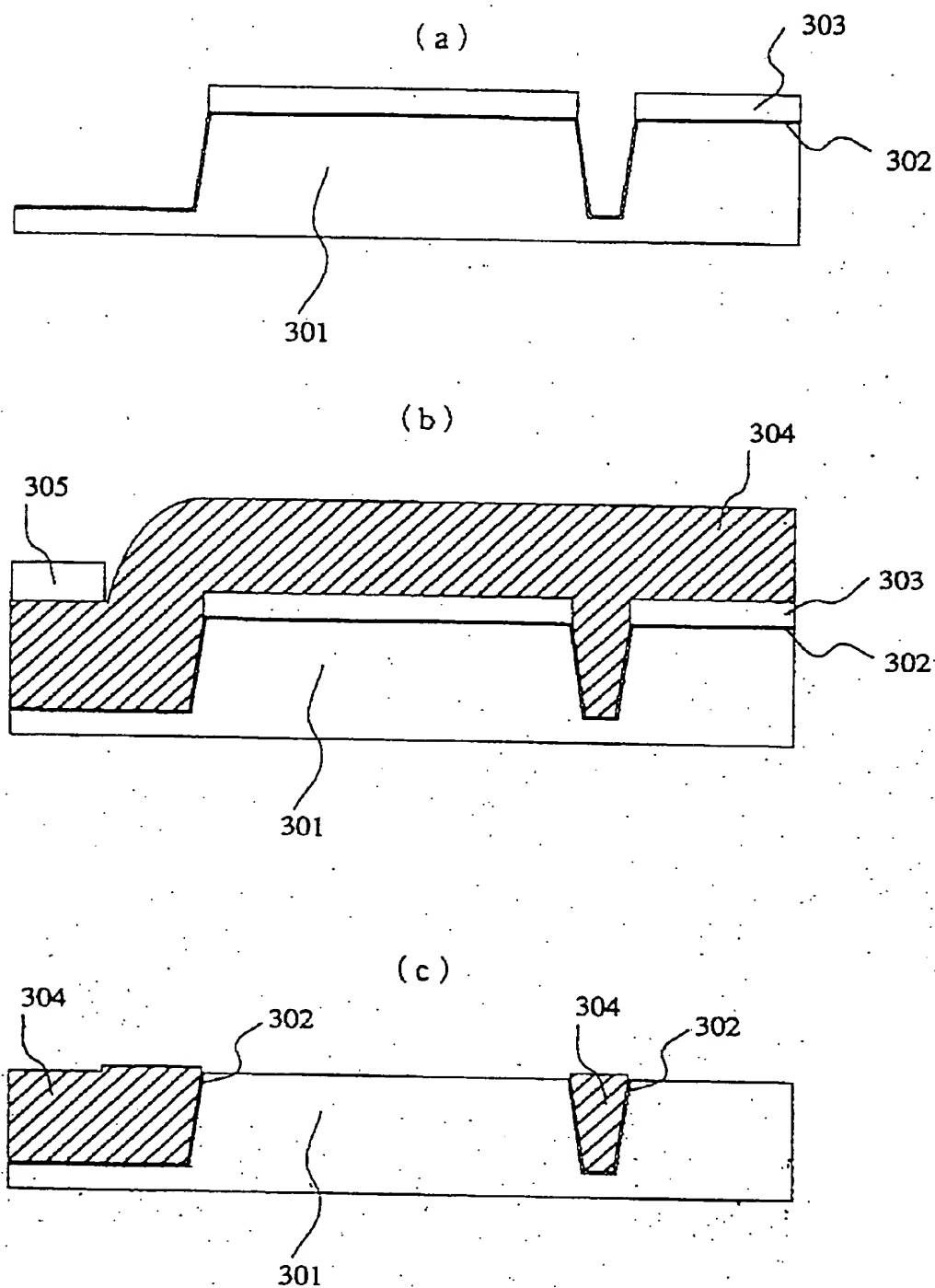
図 3 Fig. 3



【図4】 [Fig. 4]

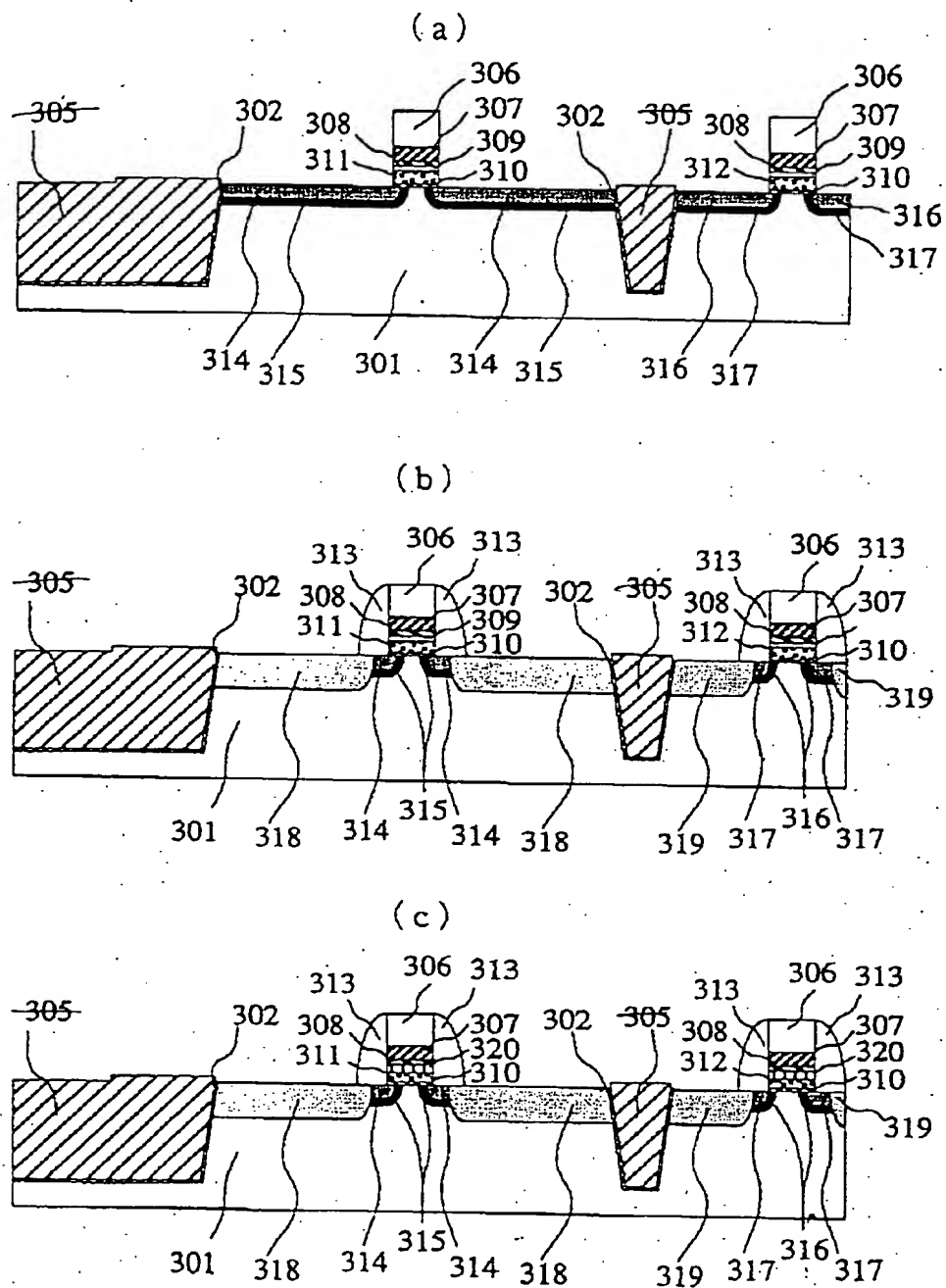
図4

Fig. 4



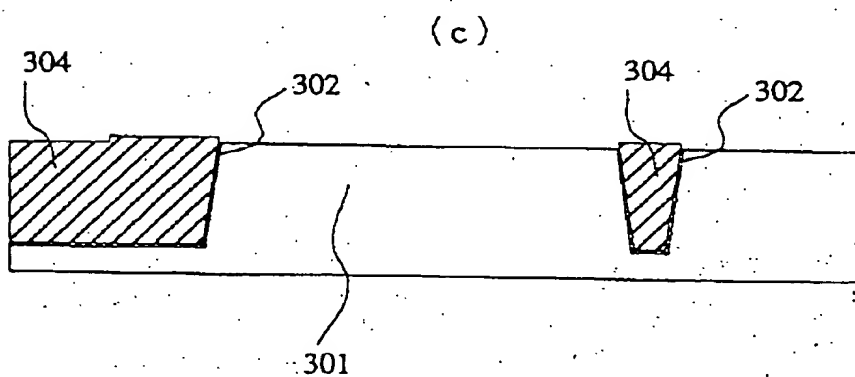
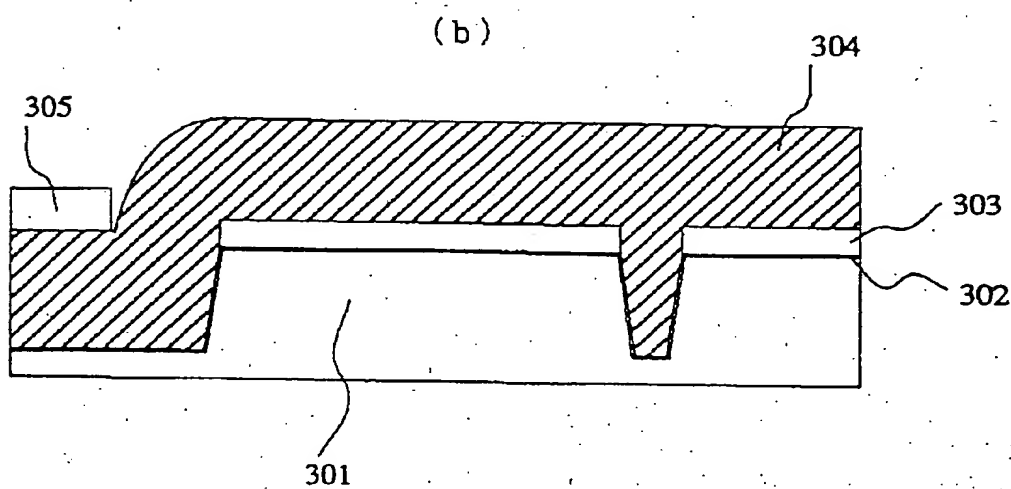
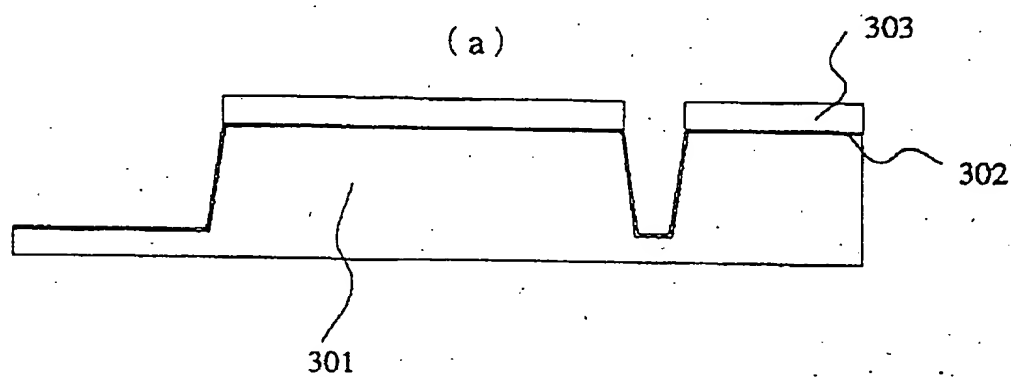
【図5】 [Fig. 5]

図5. Fig. 5



【図 6】 [Fig. 6]

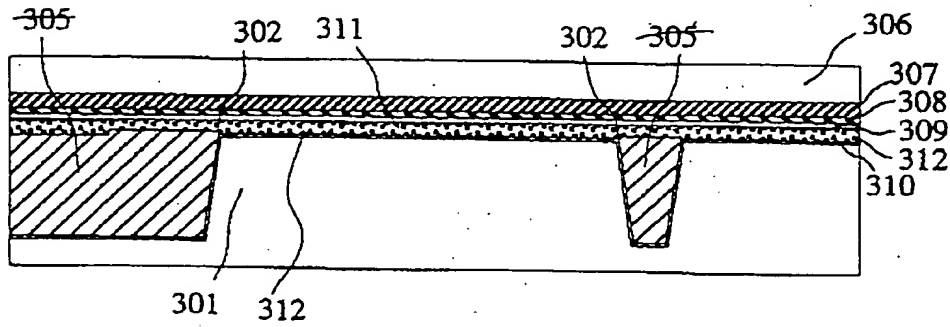
図 6 Fig. 6



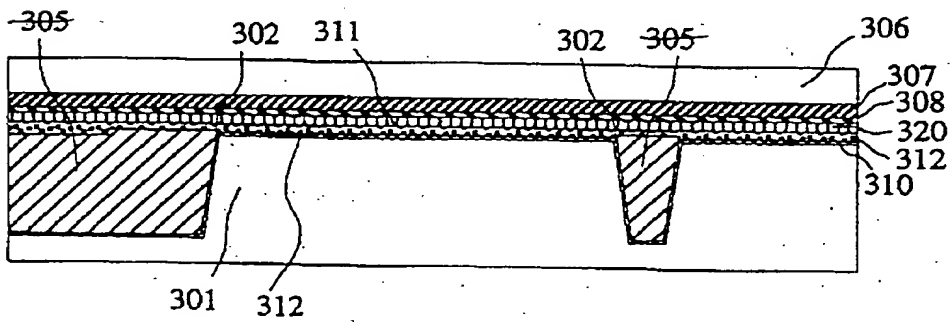
【図 7】 [Fig. 7]

图 7. Fig. 7

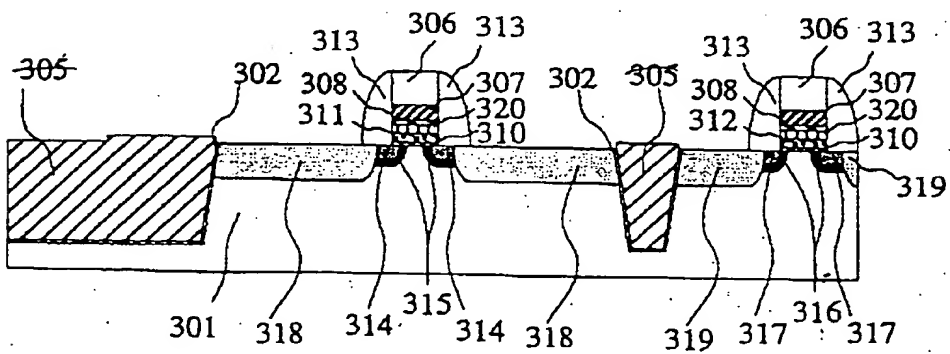
(a)



(b)



(c)



[Title of Document] Abstract

[Abstract]

[Problem] According to a conventional structure of metal/reaction barrier layer/polycrystalline silicon, contact resistance between reaction barrier layer/polycrystalline silicon becomes large and gate resistance is enhanced. By this, circuit delay time of MOS transistor increases.

[Solving Means] A metal silicide is sandwiched between reaction barrier layer/polycrystalline silicon to form ideal metal/semiconductor contact.

[Effect] Contact resistance between reaction barrier layer/metal silicide/polycrystalline silicon is reduced. By this, circuit delay time of MOS transistor is shortened.

[Selected Drawing] Fig. 1